

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-021310

(43)Date of publication of application : 28.01.1994

(51)Int.Cl.

H01L 23/50
// H05K 1/18

(21)Application number : 04-175377

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 02.07.1992

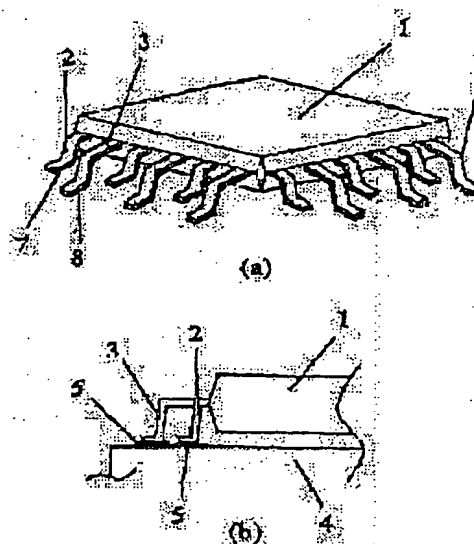
(72)Inventor : YABUSHITA TETSUO

(54) SURFACE MOUNTED SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor device of multipin while moreover being hard to cause a shortcircuit at the time of soldering in a surface mounting type semiconductor device.

CONSTITUTION: In this surface mounted semiconductor device consisting of a semiconductor chip where a plurality of electrodes are formed on the surface, the internal leads to be connected by the electrodes and fine wires, the resin sealing these and the external leads. connecting to the neighboring external leads 2, 3 inside one side are different in the bending shapes and the parts 7, 8 to be soldered are not piled up in a straight line on the sides.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-21310

(43)公開日 平成6年(1994)1月28日

(51)Int.Cl.⁴

H01L 23/50

// H05K 1/18

識別記号

庁内整理番号

FI

技術表示箇所

N 9272-4M

H 9154-4E

審査請求 未請求 請求項の数3(全4頁)

(21)出願番号 特願平4-175377

(22)出願日 平成4年(1992)7月2日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 飯下 哲男

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

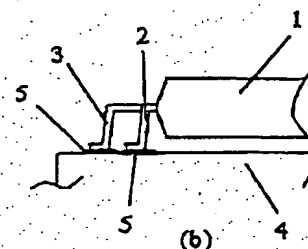
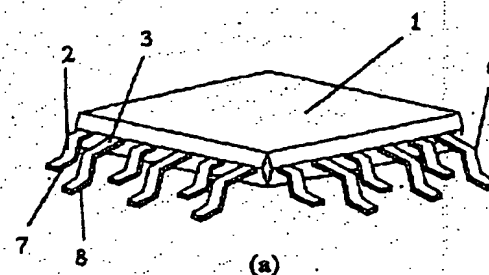
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 表面実装型半導体装置

(57)【要約】

【目的】表面実装型半導体装置において、多ピンであってしかもハンダ付け時にショートしにくい半導体装置を提供する。

【構成】複数の電極が表面に形成された半導体チップと、前記電極と細線出接続される内部リードと、これらを封止する樹脂と外部へ接続するための外部リードからなる表面実装型半導体装置において、一边内の隣接した前記外部リード2、3の曲げ形状が異なり、そのハンダ付けされる部分7、8が辺の一直線上に重ならない事を特徴とした表面実装型半導体装置。



【特許請求の範囲】

【請求項1】複数の電極が表面に形成された半導体チップと、前記電極と細線で接続される内部リードと、これらを封止する樹脂と、外部と接続する為の外部リードからなる表面実装型半導体装置において、一辺内の隣接した前記外部リードの曲げ形状が異なり、そのハンダ付けされる部分が辺の一直線上に重ならない事を特徴とした表面実装型半導体装置。

【請求項2】請求項1記載の表面実装型半導体装置において隣接した外部リードの曲げ形状をガルウイング形とJ字形の組み合わせにした事を特徴とした表面実装型半導体装置。

【請求項3】請求項1記載の表面実装型半導体装置において隣接した外部リードの曲げ形状をガルウイング形とI字形の組み合わせにした事を特徴とした表面実装型半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は表面実装型の半導体装置に関する。

【0002】

【従来の技術】従来の表面実装型半導体装置は図5に一実施例を示すように、外部リード2は全て同一形状で、ハンダ付け部7は同一直線上に並ぶように形成されていた。従って従来の表面実装型半導体装置をハンダ付けするときのハンダ付けランド配置は、図6のようにハンダ付けランド5は一直線上に配置されていた。

【0003】

【発明が解決しようとする課題】現在、表面実装方式は非常にポピュラーになっており、それにともなって表面実装型半導体装置はめざましく数量及び種類が増加してきている。

【0004】電子機器はますます軽薄短小化してきており、それに用いられる回路基板もますます小型化・薄型化せざるを得なくなってきた。又、一方では電子機器の高機能化にともない、これらに用いられる半導体装置も高機能化して、多数の外部出力用の端子が必要となり、いわゆる多ピン化しつつある。この両方を満足させるため多ピン表面実装型半導体装置を使用する事がますます多くなってきた。

【0005】しかしながら、小型化という制約から半導体装置の寸法を大きくする事は出来ず、しかし多ピン化という要求を満足させる技術が必要となり、その結果外部端子のピッチを小さくし多ピン化する方法が定着してきた。EIAJでもピッチの規格が制定されており、通常の表面実装型半導体装置では0.3mmが最小とされており、この時、外部リード幅は推奨値が0.1mmとなっており、リード間スキマは0.2mmしかなく回路基板へハンダ付けする際ショートする危険が増大する欠点があった。

【0006】本発明は上記の欠点を解決すべくなされたもので、ハンダ付けの際ショートする危険性を低減でき、かつ多ピン化された表面実装型半導体装置を得る事を目的としたものである。

【0007】

【課題を解決するための手段】本発明の表面実装型半導体装置を、小さくされたピッチにたいして隣接する外部リード曲げ形状を変えて、ハンダ付けする部分が辺の一直線上に重ならない様にする事で回路基板に設置されるハンダ付けパターンの距離を離す事により達成できる。

【0008】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0009】図1(a)は本発明の斜視図であり、図1(b)は本発明の断面図である。図1(a)、図1(b)に示すように本実施例はパッケージ本体1から外部と接続するために外側へ出されガルウイング形に曲げられた外部リード2と同じく隣接してガルウイング形に曲げられた外部リード3の曲げ形状を変更し、回路基板4に設置されたハンダ付けランド5が一直線上に重ならないように配列する事ができる表面実装型半導体装置である。本実施例では外部リード2と外部リード3の第1曲げ部8を変更し、外部リード2のハンダ付け部7と外部リード3のハンダ付け部8がパッケージ本体1から同じ距離にならないようにしている。

【0010】図2は本発明の表面実装型半導体装置を用いるときのハンダ付けランド配置図で回路基板4に設置されたハンダ付けランド5は千鳥型に配置され、隣接したハンダ付けランド間のショートの危険性を低減できる。

【0011】図3は本発明の他の実施例の断面図である。本実施例では外部リード3はJ字形に曲げられており、ハンダ付け部8とハンダ付け部7がパッケージ本体1から同じ距離にならないようにしてある。

【0012】図4は本発明の他の実施例の断面図である。本実施例では外部リード3はI字形に曲げられている。

【0013】

【発明の効果】以上説明したように本発明によれば、隣接した外部リードの曲げ形状を変えてハンダ付けする部分の距離を実質的に遠く離す事により、ハンダ付け時のショートの危険性を低減させ、さらには表面実装型半導体の多ピン化を促進させるという効果を有する。

【図面の簡単な説明】

【図1】(a)本発明の一実施例の斜視図である。

(b)本発明の一実施例の断面図である。

【図2】本発明をハンダ付けするときのハンダ付けランド配置図である。

【図3】本発明の他の実施例の断面図である。

【図4】本発明の他の実施例の断面図である。

【図5】従来の表面実装型半導体装置の実施例の斜視図である。

【図8】従来の表面実装型半導体装置をハンダ付けするときのハンダ付けランド配置図である。

【符号の説明】

1 パッケージ本体

* 2, 3 外部リード

4 回路基板

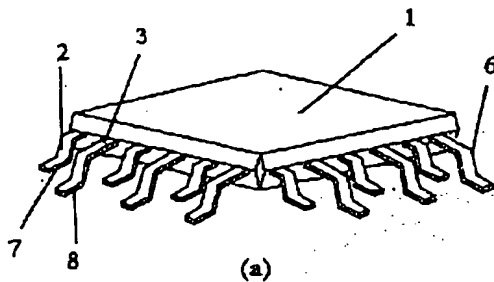
5 ハンダ付けランド

6 第1曲げ部

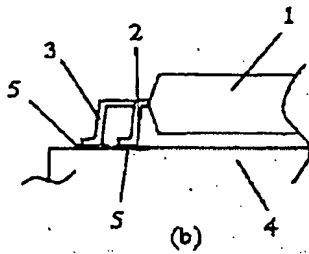
7, 8 ハンダ付け部

*

【図1】

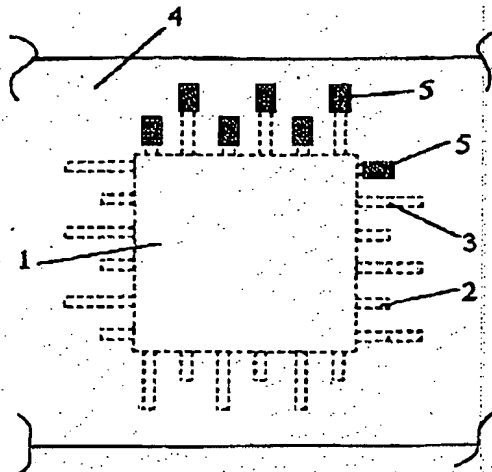


(a)

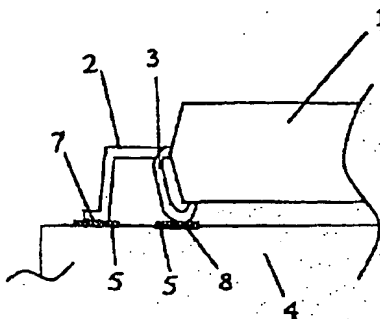


(b)

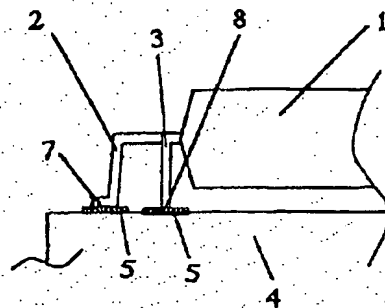
【図2】



【図3】



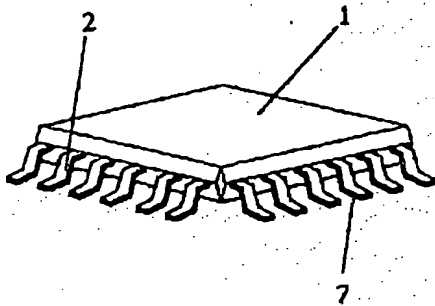
【図4】



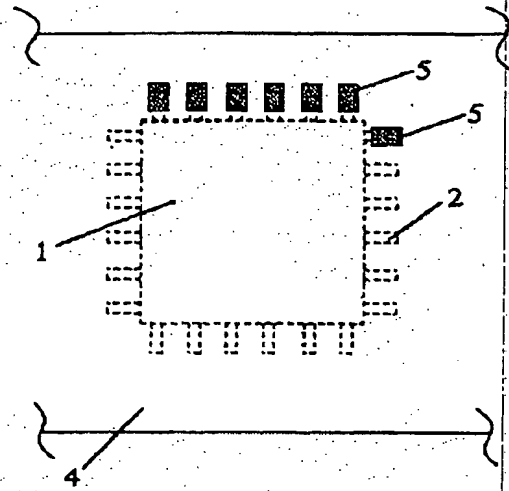
(4)

特開平6-21310

【図5】



【図6】



拒絶査定

整理番号 507944JP03
免送番号 276488
免送日 平成17年 8月 2日

拒絶査定

特許出願の番号	特願2001-099043
起案日	平成17年 7月26日
特許庁審査官	田代 吉成 9448 4R00
発明の名称	半導体素子モジュールおよび半導体装置
特許出願人	三菱電機株式会社
代理人	高田 守(外 4名)

この出願については、平成16年 3月29日付け拒絶理由通知書に記載した理由によって、拒絶をすべきものである。

なお、意見書及び手続補正書の内容を検討したが、拒絶理由を覆すに足りる根拠が見いだせない。

備考

出願人は、意見書において、「引用文献1のものは、第1図、第2図を参照しますと、半導体チップ(10)を搭載し、且つ、側面の対向する2面にロー付けされた外リード(11)を有するセラミックパッケージ基板(12)に、キャップ(14)が封止された半導体装置を開示しています。そして、第1図では、外リード(11)が内側にJ型に折り曲げられた例が示されており、第2図では、外リード(11)が外側にL型に折り曲げられた例が示されています。しかし、セラミックパッケージ基板(12)の外リード(11)取り付け面側に段差は設けられていません。」と記載し、本願の請求項1及び5に係る発明は進歩性を有する旨主張しているが、先の拒絶理由通知書において提示した引用文献1及び引用文献2(以下、「引用文献1」及び「引用文献2」という。)に記載の発明は、いずれも半導体装置という共通の技術分野に属すから、引用文献1に記載の発明において、パッケージ側面のパッケージ取り付け面側にリードとの空間を形成するように段差を設けることは、引用文献2の記載に基づき当業者であれば適宜になし得るものと認められるので、出願人が主張する点については採用することができない。

また出願人は、意見書において、「本願請求項3の発明においては、半導体素子モジュールのパッケージの底面が、基板の実装面に対し所定の空間を形成するように、半導体素子モジュールのリードが外側に曲げ成形されて基板上の導体パターンに半田付けされます。・・・本願請求項3の発明にかかる半導体装置のような構成とその効果は、いずれの引用文献にも開示されておらず、示唆もされていません。また、いずれの引用文献にも本願請求項3のような発明をする動機は見出せず、当業者といえども引用文献1及び2を組み合わせ本願請求項1の発明に想到することはありえないと考えます。」と記載し、本願の請求項3及び5に係る発明は進歩性を有する旨主張しているが、引用文献1に記載の発明において、リードが外側に曲げ成形される構成を採用することは、周知技術(その根拠については、例えば特開平6-21310号公報等を参照のこと。)の単なる適用に過ぎないものと認められるから、出願人が主張する点については採用することができない。

この査定に不服があるときは、この査定の謄本の送達があった日から30日以内(在外者にあつては、90日以内)に、特許庁長官に対して、審判を請求することができます(特許法第121条第1項)。

(行政事件訴訟法第46条第2項に基づく教示)

この査定に対しては、この査定についての審判請求に対する審決に対してのみ取消訴訟を提起することができます(特許法第178条第6項)。

上記はファイルに記録されている事項と相違ないことを認証する。

認証日 平成17年 7月27日 経済産業事務官 平瀬 恵美子

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.